

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186552

(43)Date of publication of application : 09.07.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 09-347452

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.12.1997

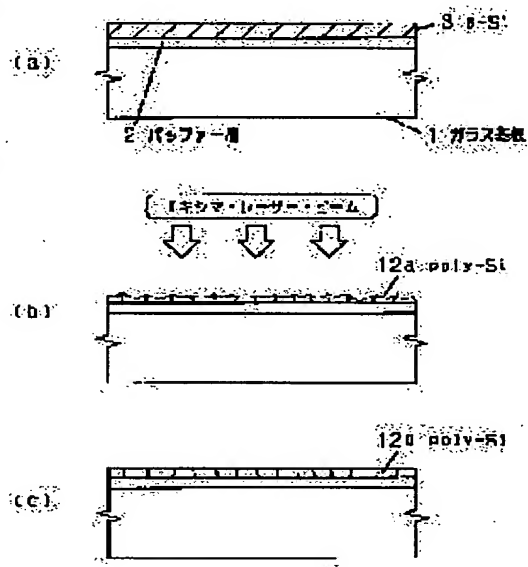
(72)Inventor : SHIBUYA MUNEHIRO
TSUTSU HIROSHI
YOSHIDA TETSUHISA
KITAGAWA MASATOSHI

(54) MANUFACTURE OF THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a thin-film transistor having a polycrystalline silicon layer, which is capable of having less roughened surface without causing deterioration in the crystallization of a zone in which transistor carriers move.

SOLUTION: An energy beam is irradiated on an amorphous silicon layer 3 formed on a substrate 1 to crystallize the layer 3 and to form a crystalline silicon layer 12a. Thereafter, a surface of the crystalline silicon layer 12a is etched to make its crystalline silicon surface smooth. When the etching is carried out through a chemical reaction based on thermal energy in a vapor phase using CIF₃, damages to the silicon layer or the like can be suppressed, dangling bonds on the crystalline silicon layer can be terminated with and F atom, thus enabling suppression of oxidation of the silicon surface due to oxygen atoms present in the atmosphere.



LEGAL STATUS

[Date of request for examination] 14.06.2000

[Date of sending the examiner's decision of rejection] 15.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P.) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開平11-186552
(43) 公開日 平成11年(1999) 7月9日

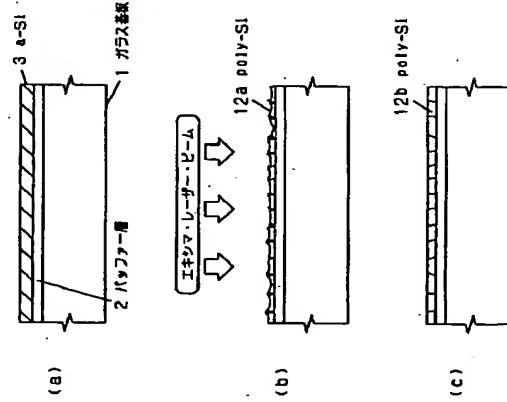
(5) InCl ⁺ H 01 L 29/786 21/338		P I H 01 L 29/78 6 2 7 G 6 2 7 Z
審査請求 未請求 請求項の数 4 O L (全 6 頁)		
(21) 出願番号 特願平9-347452	(71) 出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地	
(22) 公開日 平成9年(1997)12月17日	(72) 発明者 飯谷 裕裕 大阪府門真市大字門真1006番地 松下電器産業株式会社内	
	(72) 発明者 前 博司 大阪府門真市大字門真1006番地 松下電器産業株式会社内	
	(72) 発明者 吉田 哲久 大阪府門真市大字門真1006番地 松下電器産業株式会社内	
	(74) 代理人 弁理士 滝本 智之 (外1名)	最終頁に続く

(54) 発明の名称 薄膜トランジスタの製造方法

(57) 要約

【課題】 トランジスタのキャリアが通過する部分の結晶性を損なうことなく、しかも表面の凹凸が少ない多結晶シリコン層を有する薄膜トランジスタの製造方法を提供することを目的とする。

【解決手段】 基板1上に形成された非晶質シリコン層3にエネルギービームを照射して非晶質シリコン層3を結晶化させて結晶質シリコン層12aを形成した後、結晶質シリコン層12aの表面をエッチングして結晶質シリコン層12aの表面をエッチングする。エッチングをC1F₄を用いた熱エネルギーを介した気相中の化学反応により行うと、シリコン層等へのダメージの発生を抑えることができる。シリコン層の凹部を埋める。エッチングのダングリングボンドをF原子によって終端して、大気雰囲気によるシリコン表面の酸化等を抑えることができる。



【特許請求の範囲】

【請求項1】 基板1上に形成された非晶質シリコン層3にエネルギービームを照射して前記非晶質シリコン層3を結晶化させて結晶質シリコン層12aを形成した後、前記結晶質シリコン層12aの表面をエッチングして前記結晶質シリコン層12aの表面の凹凸を除去することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 結晶質シリコン層3の表面のエッチングを熱エネルギーを介した気相中の化学反応により行うことを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】 エッチングされた結晶質シリコン層3の表面のダングリングボンドをF原子によって終端することを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項4】 結晶質シリコン層3の表面のエッチングを、少なくともC1F₄、XeF₄、BrF₃またはBrF₅のいずれかを含有気体によって行うことを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、非晶質または結晶質シリコン薄膜を用いた薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 以下、従来の結晶質半導体を半導体として用いた薄膜トランジスタの例として、液晶表示装置用に開発が進められているポリシリコン薄膜トランジスタ(以下、「poly-Si TFT」と略記する)について、図面を用いて説明を行う。

【0003】 近年薄膜トランジスタを用いた液晶表示装置の分野では、高価な石英基板ではなく、安価なガラス基板が使用可能な比較的低温(概ね600℃以下)で作成できる多結晶シリコン薄膜トランジスタ(以下、「低多poly-Si TFT」と略記する)が注目を集めている。そこで以下では、例えば、「IEEE ELECTRON DEVICE LETTERS, Vol. EDL-7, No. 6 (1986), p. p. 2 78-378」に記載されている低多poly-Si TFTを従来例として、図4を参照しながら簡単に説明する。

【0004】 この従来例の低多poly-Si TFTの製造方法は、まず基板1上にパッドアレイ2となる800ÅのSi₃N₄を介して、500~1000Åの非晶質シリコン層3を全面に堆積後、エネルギービームを照射して基板1上の非晶質シリコン層3を局所的に加熱溶融して結晶化させる(図4(a))。次に結晶化によって得られた多結晶シリコン層4上にゲート絶縁層5として200ÅのSi₃N₄と1500ÅのSiO₂層を形成する。そして、ゲート電極6を8000ÅのMoを用いて

形成し、この状態でリンイオンを注入する(図4(b))。その後、注入されたリンの活性化のために、再びエネルギービームを照射することによってソース領域7及びドレイン領域8を形成する(図4(c))。そしてコンタクトホール9を形成し、最後に3000ÅのAlを用いてソース電極10及びドレイン電極11を形成する(図4(d))。ことにより低多poly-Si TFTを製作している。

【0005】

【発明が解決しようとする課題】 しかしながら、上記の図4に示した従来の低多poly-Si TFTを製作する場合、以下の課題が生じる。

【0006】 図4に示した例では、低多poly-Siを形成するため、a-SiをプラズマCVDで堆積後、XeClを用いたエキシマレーザを照射して、局所的に溶融し、結晶化させているわけであるが、溶融と固化(結晶化)を行うことによってシリコンの体積および結晶性等が変化しシリコン表面に凹凸が発生してしまう。その結果、この凹凸がTFTのキャリアの移動度やON電流値に悪影響を及ぼす。そこで表面凹凸の少ない多結晶シリコン薄膜が望まれている。

【0007】 これに対して、従来のシリコン表面の凹凸を無くす方法が提案されている。それは、非晶質シリコン層表面をSiO₂等で覆った状態でレーザを照射して結晶化を行う方法である。

【0008】 しかしながら、このような方法では、凹凸は減少するものの良好なTFT特性は得られていない。その原因は、結晶化シリコンの凹凸が無くならない。シリコンの結晶性が低下することにある。非晶質シリコンの表面が露出した状態でエキシマレーザを照射して結晶化を行うと、一旦溶融したシリコンが結晶化される際の結晶粒の成長がガラス基板側から発生することになる。このような結晶成長過程を経て結晶化されたシリコン層の結晶性は、ガラス基板側とは逆側の露出した側が良好となる。ここで、上記したように非晶質シリコン層の表面をSiO₂で覆った状態でエキシマレーザを用いた結晶化を行うと、上記の結晶成長は、ガラス基板側からだけでなく、SiO₂側からも発生してしまい、結晶性に優れたシリコン層をトランジスタのキャリアが通過する部分に形成することができない。

【0009】 そこで、本発明は上記の問題点を鑑み、トランジスタのキャリアが通過する部分の結晶性を損なうことなく、しかも表面の凹凸が少ない多結晶シリコン層を有する薄膜トランジスタの製造方法を提供することを主たる目的とする。

【0010】

【課題を解決するための手段】 上記の目的を達成するために本発明の薄膜トランジスタの製造方法は、基板1上に形成された非晶質シリコン層3にエネルギービームを照射して非晶質シリコン層3を結晶化させて結晶質シリコン層

(4)

を形成した後、結晶質シリコン層の表面をエッチングして結晶質シリコン表面の凹凸を除去する構成となっている。

【0011】上記の構成によれば、結晶性を損なうことなく、結晶質シリコン層の表面の凹凸を無くすることができ、

【0012】また上記の構成において、結晶質シリコン層の表面のエッチングを熱エネルギーを介した気相中の化学反応により行くと、プラズマを用いないため、シリコン層へのダメージの発生を抑制することができ、

【0013】さらに上記の構成において、エッチングされた結晶質シリコン層の表面のダングリングボンドをF原子によって終端すると、大気中の酸素によるシリコン表面の酸化等を抑制することができ、

【0014】また上記の構成において、結晶質シリコン層の表面のエッチングを、少なくともClF₃、XeF₄、BrF₅またはBrF₃のいずれかを含む気体によって行くと、結晶性を損なうことなく、結晶質シリコン層の表面の凹凸を無くすること、大気中の酸素によるシリコン表面の酸化等を抑制することを同時に達成することができる。

【0015】

【発明の実施の形態】上記の目的を達成するために、本発明者が様々な検討したところ、エキシマレーザーなどのエネルギービームを照射による結晶化によって結晶質シリコン層の表面に発生した凹凸を除去する方法として、一旦形成されたシリコン表面の凹凸をエッチングにより除去してやる（具体的には、熱エネルギーを介した気相中の化学反応、例えば、F系ガスをを用いて、主に結晶の乱れを多く含む欠陥部分を選択的にエッチングすること）が極めて有効であることが判明した。なお、この方法によれば、シリコン表面のシリコン原子のダングリングボンドをF原子で終端することができ、大気中の酸素によるシリコン表面の酸化等の自然酸化層や不純物の発生も防止できる。

【0016】（実施の形態1）そこで以下では本発明の実施の形態における多結晶シリコン薄膜トランジスタの製造方法（特に平坦な表面の多結晶シリコン薄膜の製造方法）について、具体的に図1に示す工程断面図を参照しながら順を追って説明する。

【0017】まず、ガラス基板中の不純物の拡散を防ぐためのバッファ層2としてSiO₂膜を被覆した基板1（コーニング社製#1737ガラス）上に例えばシリコン（SiH₄）を原料ガスとして用いたプラズマCVD法により膜厚30～150nmで、非晶質シリコン3（以下a-Siと略記する）を形成する（図1(a)）。

【0018】次に、エネルギービームとして例えば、XeClエキシマレーザを照射することにより上記の非晶

質シリコンを結晶化して多結晶シリコン薄膜12aを得る（図1(b)）。このときの照射条件はa-Siの膜厚や膜質などの条件にもよるが、エネルギー密度が150～450mJ/cm²、照射回数が1～500回の範囲で行うことができる。この結晶化により多結晶シリコン表面に高さ50nm程度の凹凸が発生する（図1(b)）。

【0019】その後、この基板をエッチングチャンパー（石英製）に挿入し、ClF₃とN₂の混合ガスを導入し、多結晶シリコン表面のエッチングを行う。なお、この混合ガスにおいては、ClF₃がエッチングガスであり、N₂は希釈ガスである。本実施の形態ではClF₃を0.1リットル/分、N₂ガスを2リットル/分の流量で約100℃に加熱されたチャンパー内に導入した。その結果、表面の凹凸は減少しほぼ平坦な多結晶シリコン層12bが得られた（図1(c)）。なお、温度は200℃以下が好ましい。

【0020】以上のような本実施の形態によれば、非晶質シリコン層の結晶化の際の粒成長はガラス基板側からのみ発生することになるため、露出している表面側（背面）に凹凸が発生している側）の結晶性は良好であり、上記の方法によれば、そのごく表面の突起部分を除去しているに過ぎないため、良好な結晶性を有し、かつ、凹凸の無い結晶化シリコン層を形成することができる。

【0021】また本実施の形態によれば、エッチングにより表面の凹凸を除去しているわけであるが、その際には、結晶化されたシリコン層の表面を平滑化することも可能となる。さらに、上記のようにFを用いてエッチングを行うと、シリコン層表面に存在するダングリングボンドを終端することができ、大気中の酸素によるシリコン表面の酸化等の反応を抑制することができ、【0022】また本実施の形態では、上記のように熱エネルギーを介した気相中の化学反応を用いてエッチングを行っており、プラズマを用いたエッチングに比較すると基板等へのダメージが発生せず好ましいが、原理的にはプラズマを用いたエッチングにより結晶化されたシリコン表面の凹凸を除去してもよい。

【0023】なお、本実施の形態では、プラズマCVD法によるa-Siを用いたが、プラズマCVD以外の減圧CVD法やスパッタ法等でも形成してもよい。また、a-Si以外にも微結晶シリコンや多結晶シリコンを出現物質として用いてもよいし、例えばゲルマニウム（Ge）との化合物等を用いてもよい。

【0024】また、本実施の形態ではエネルギービームとして、XeClエキシマレーザーを用いたが他のArF、KrF等の他のエキシマレーザーやArレーザ等でも良いし、電子ビームなどを用いることももちろん可能である。

【0025】また、実施の形態では結晶化されたシリコ

ン層の表面の凹凸を無くすエッチングに用いるガスとして、ClF₃を用いたが、その他にXeF₄またはBrF₃またはBrF₅のいずれかを含む気体によってエッチングを行ってもよい。

【0026】（実施の形態2）図2は平坦化多結晶シリコン薄膜トランジスタの形成方法を説明するための工程断面図であり、以下順を追って説明する。

【0027】まず、ガラス基板中の不純物の拡散を防ぐためのバッファ層2としてSiO₂膜を被覆した基板1（コーニング社製#1737ガラス）上に上記の実施の形態1に示した方法で平坦化した多結晶シリコン薄膜を形成する（図2(a)）。そして、この多結晶シリコン薄膜を通常のフォトリソ・エッチングで島状にパターニングした後、例えば、TEOS（Tetraethyl orthosilicate: (C₂H₅O)₄Si）を原料ガスとして用いたプラズマCVD法でゲート絶縁層5となるSiO₂を100nmの厚みで全面に堆積する（図2(b)）。

【0028】その後、例えばAlを用いてゲート電極6を形成する。そして、水素希釈ボスフィン（PH₃）のプラズマを生成し、質量分離を行わずに加圧電圧は70kVで総ドーズ量は1×10¹⁵cm⁻²の条件で、イオンドーピングを行うことにより、ソース領域7とドレイン領域8を形成する（図2(c)）。なお、注入されたイオンの活性化に関しては、同時に注入された水素による自己活性化によりアニールのような工程を付加しないこともできるが、より確実な活性化を図るため、400℃以上でのアニールやエキシマレーザー照射やRTA（Rapid Thermal Anneal）による局所的な加熱を行ってもよい。

【0029】その後、TEOS（Tetraethyl orthosilicate: (C₂H₅O)₄Si）を原料ガスとして用いたプラズマCVD法でSiO₂を層間絶縁層14として全面に堆積し、次にコンタクト・ホール8を形成し、ソース電極10及びドレイン電極11として例えばアルミニウム（Al）をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化することにより、poly-Si TFTが完成する（図2(d)）。

【0030】図3は本実施の形態で作成した低抵抗poly-Si TFTと出発物質に対して、エキシマレーザーによる結晶化は全く同じエネルギーと照射回数を行うものの、多結晶シリコン薄膜平坦化する工程を除いた従来の低抵抗poly-Si TFTの伝導特性を示している。図3から明らかなように、シリコン表面の凹凸がなくなると同時に起因して、ON電流が増加し、サブスレッショルドスイングも向上していることがわかる。尚、電界効果移動度は従来の低抵抗poly-Si TFTの場合には約130cm²/Vsecであるのに対し、本実施の形態の方法で作成した低抵抗poly-Si TFTは約1

(4)

80cm²/Vsecという高い値が得られた。

【0031】なお、本実施の形態では、プラズマCVD法によるa-Siを用いたが、プラズマCVD以外の減圧CVD法やスパッタ法等でも形成してもよい。また、出発半導体材料としてa-Siを用いたが、多結晶シリコンや微結晶シリコンでも可能であるし、他の材料、例えばゲルマニウムとの合金であるシリコン・ゲルマニウム合金（SiGe）等を用いてもよい。

【0032】また、本実施の形態では結晶化にXeClエキシマレーザーを用いたが他のArF、KrF等のエキシマレーザーやArレーザ等でも良いし、電子ビームなどの他のエネルギービームを用いてもよいこと言までもない。

【0033】また、結晶化以降において、水素プラズマにさらしたり水素アニールを行うことにより、多結晶シリコン3の粒界や粒内のトラップ準位を補償して結晶性をあげる工程を付加することが望ましい。

【0034】また、層間絶縁層12としてTEOSを用いたプラズマCVD法によるSiO₂を用いたが、他の方法例えばAP-CVD（Atmospheric Pressure CVD）法によるSiO₂やLTOL（Low Temperature Oxide）、EGR-CVDによるSiO₂等でも良いことは言うまでもない。また、材料としても微結晶シリコンや酸化タンタル、酸化アルミニウム等も用いることができるし、これらの薄膜の膜層構造をとってもよい。また、ゲート電極7や、ソース電極14およびドレイン電極15の材料としてAlを用いたが、アルミニウム（Al）、タンタル（Ta）、モリブデン（Mo）、クロム（Cr）、チタン（Ti）等の金属またはそれらの合金でも良いし、不純物を多量に含むpoly-Siやpoly-SiGe合金やITO等の透明導電層等でもよい。

【0035】また、不純物としてはリンを用いたが、アクセプタとなるボロンや砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャネル及びNチャネルトランジスタを選択的に作成して、CMOS回路を基板上につくり及びすることも可能であることも言うまでもない。

【0036】

【発明の効果】以上、説明を行ってきたように、本発明の薄膜トランジスタの製造方法によれば、多結晶シリコン薄膜トランジスタにおける半導体層を形成するシリコンの表面の凹凸を無くすることができるため、結果として、性能に優れた薄膜トランジスタを得ることができ、

【図面の簡単な説明】

【図1】本発明の実施の形態における薄膜トランジスタの多結晶シリコンの表面の平坦化工程断面図

【図2】本発明の実施の形態における薄膜トランジスタ

の製造工程断面図

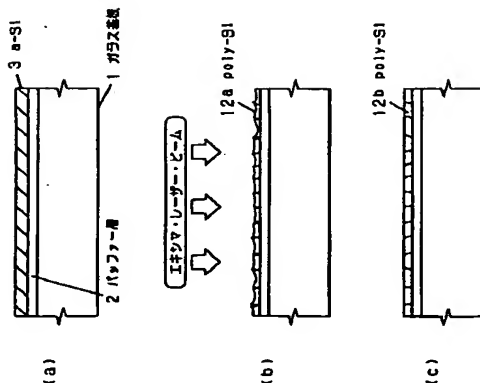
【図3】本発明の実施の形態において形成された薄膜トランジスタと従来の方法により形成された薄膜トランジスタの伝達特性を示す図

【図4】従来の薄膜トランジスタの製造工程断面図

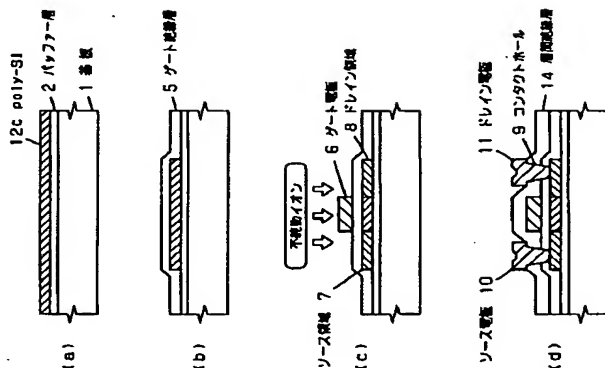
【符号の説明】

- 1 基板
- 2 パッド層
- 3 a-Si
- 4 poly-Si
- 5 ゲート絶縁層

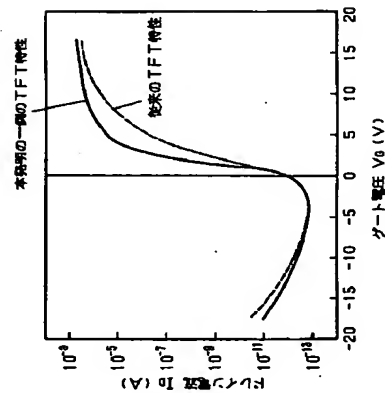
【図1】



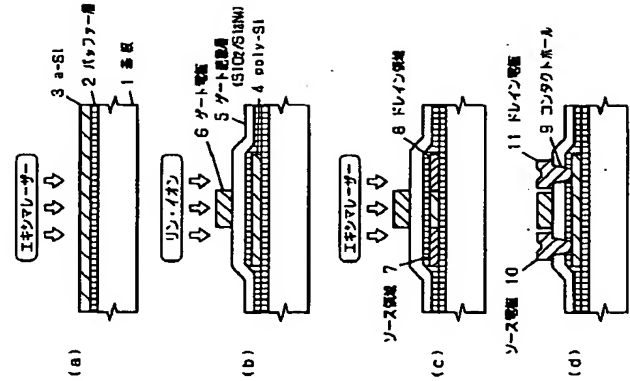
【図2】



【図3】



【図4】



フロントページの続き

(71)発明者 北川 雅俊
大阪府門真市大字門真100番地 松下電器
産業株式会社内